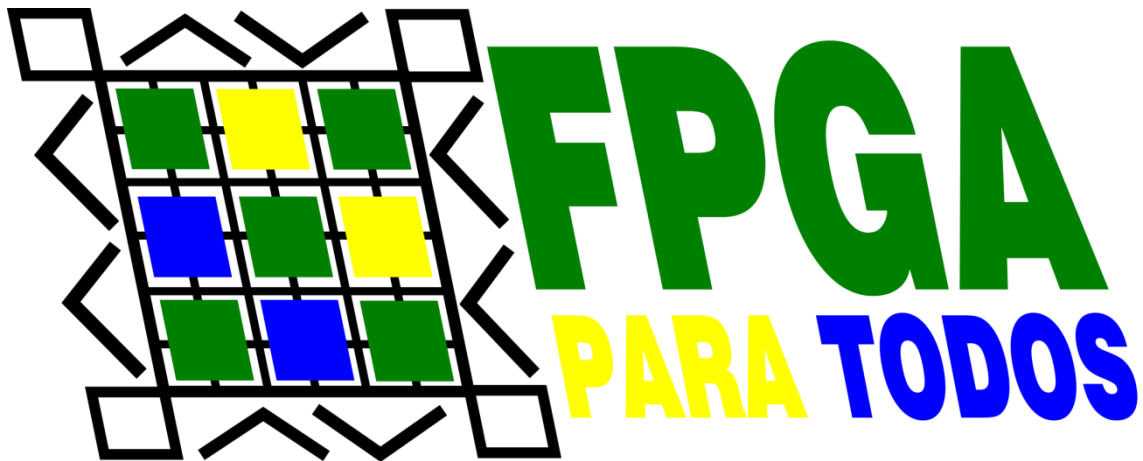




www.fpgaparatodos.com.br

Manual do Usuário

Kit didático MAXV

Junho, 2013

SUMÁRIO

1	SOBRE O KIT DIDÁTICO	3
1.1	Características dos CPLDs compatíveis com a placa	4
1.2	Entrada de alimentação	5
1.3	Jumpers.....	5
1.4	Headers.....	7
1.5	Push-buttons	9
1.6	LEDs e Buzzer.....	10
1.7	Osciladores.....	11
1.8	Conector JTAG.....	12

1 SOBRE O KIT DIDÁTICO

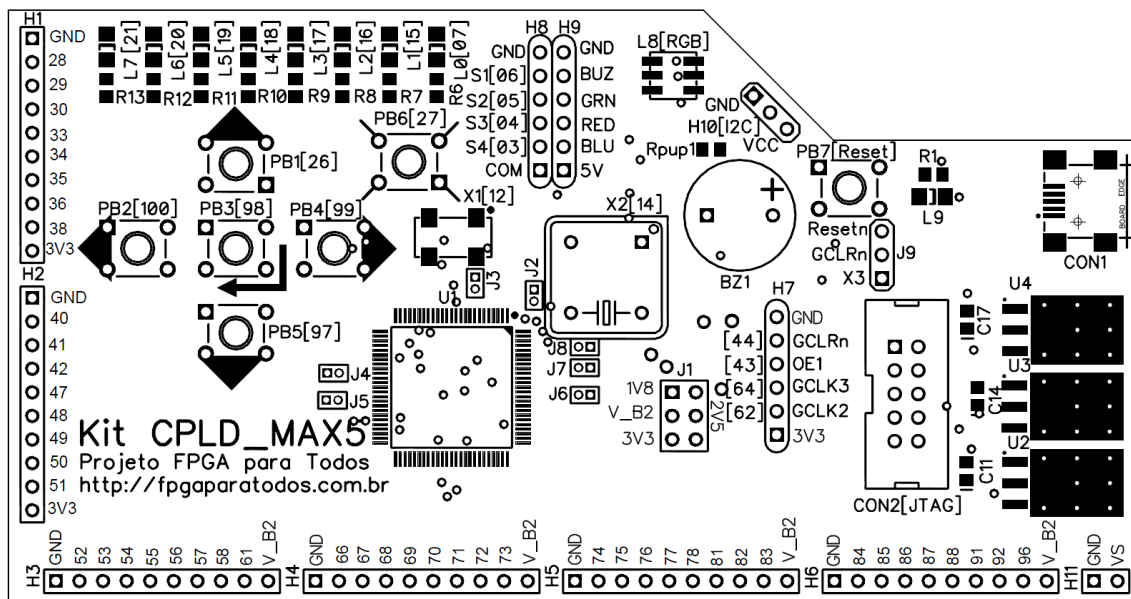
Como suporte para o desenvolvimento de aplicações utilizando os módulos didáticos apresentados neste portal, desenvolveu-se um kit didático com a família mais atual de CPLDs da ALTERA, a MAXV. Este kit foi criado para suportar quatro modelos da família MAXV de encapsulamento TQFP de 100 pinos. São eles:

- 5M80ZT100XXX;
- 5M160ZT100XXX;
- 5M240ZT100XXX;
- 5M570ZT100XXX.

O projeto do hardware é composto principalmente de:

- Uma placa de circuito impresso (PCI) em duas camadas;
- Um CPLD da família MAXV, conforme os modelos citados anteriormente;
- Um oscilador de 24 MHz;
- Um fonte de alimentação composta de três reguladores de tensão, um LM1117-3.3 3,3V LDO e um LM1117-2.5 2,5V LDO para alimentar o VCC_IO dos bancos do CPLD e um regulador LM1117-1,8 1,8V LDO que alimenta o VCC interno do CPLD;
- Seis headers para expansão dos IOs do CPLD;
- Oito LEDs comuns e um LED RGB;
- Cinco push-buttons para desenvolvimento de aplicação e um push-button ligado ao pino de reset global;
- 1 dip-switch de oito chaves ON/OFF;
- Um conector para conexão de um gravador no modo JTAG para o CPLD.

A Figura mostra o aspecto da placa do kit de desenvolvimento:



1.1 Características dos CPLDs compatíveis com a placa

Este kit de desenvolvimento foi projetado para suportar quatro modelos da família MAXV de CPLDs da Altera de encapsulamento TQFP de 100 pinos. São eles:

- 5M80ZT100XXX;
- 5M160ZT100XXX;
- 5M240ZT100XXX;
- 5M570ZT100XXX.

Abaixo é mostrada a Figura XX, apresentando as principais características dos quatros modelos compatíveis com este kit:

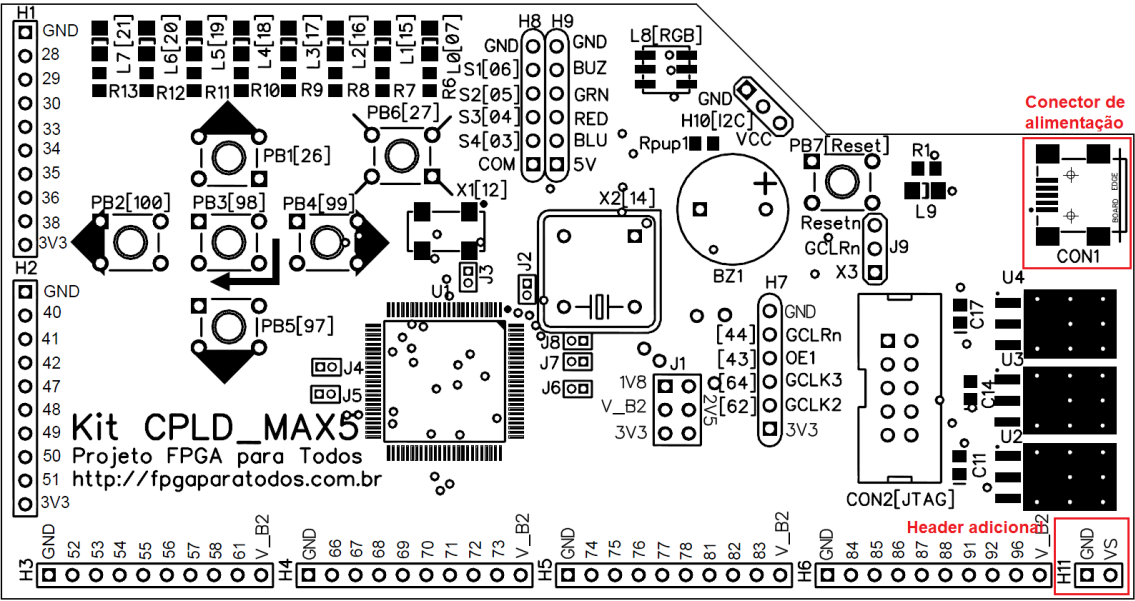
Feature	5M80Z	5M160Z	5M240Z	5M570Z
LEs	80	160	240	570
Typical Equivalent Macrocells	64	128	192	440
User Flash Memory Size (bits)	8,192	8,192	8,192	8,192
Global Clocks	4	4	4	4
Internal Oscillator	1	1	1	1
Maximum User I/O pins	79	79	114	159
t_{PD1} (ns) (1)	7.5	7.5	7.5	9.0
f_{CNT} (MHz) (2)	152	152	152	152
t_{SU} (ns)	2.3	2.3	2.3	2.2
t_{CO} (ns)	6.5	6.5	6.5	6.7

Os modelos suportados para esta placa possuem dois bancos de pinos de Entradas/Saídas. A alimentação desses bancos é feita por pinos de VCC_IOs separados para cada um deles. O banco 1 foi alimentado

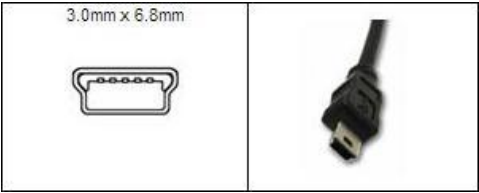
diretamente por uma tensão de 3,3V. Para o banco 2 foi adicionado um header que seleciona através de um jumper a alimentação para ele em 1,8V, 2,5V ou 3,3V.

1.2 Entrada de alimentação

A placa pode ser alimentada diretamente pela USB do computador através de um conector no padrão USB tipo mini-B. Se utilizar uma fonte de alimentação é recomendável que esta seja de 5V para não aquecer desnecessariamente os reguladores de tensão.



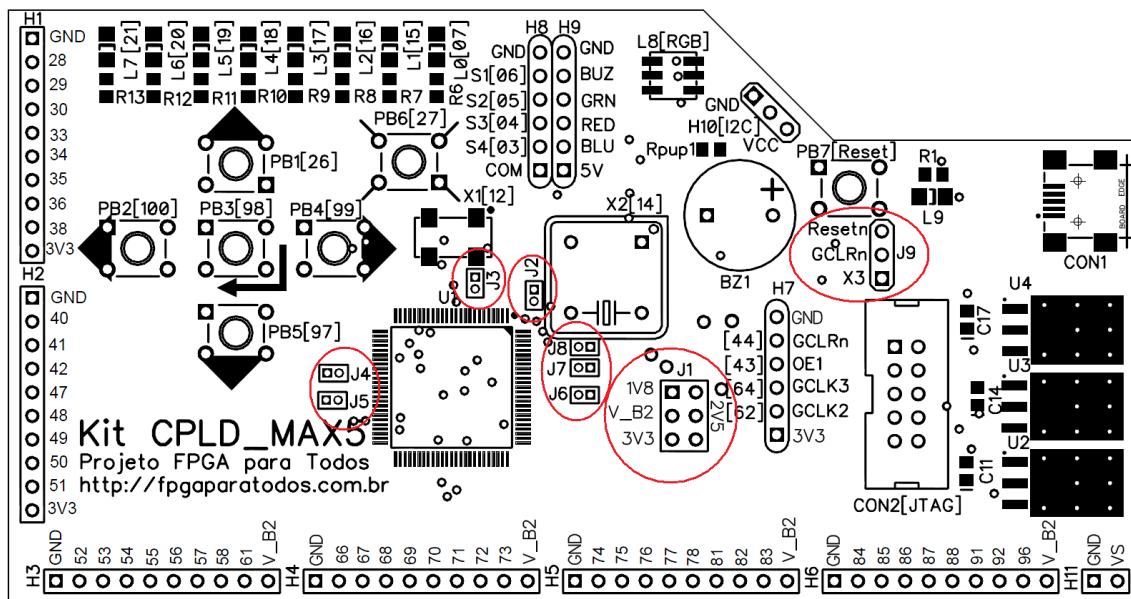
Conector de alimentação, CON1: conector fêmea USB do tipo mini-B. Apenas os sinais de alimentação (GND e VCC) estão interligados nesse conector. Sinais de dados não estão conectados.



Header adicional, H11: Este conector interliga o sinal da fonte de alimentação conectada no conector de alimentação para uso em alguma aplicação que necessite de uma alimentação maior do que 3,3V.

Pinos H11	Sinais
1	GND
2	VSS (fornecido pela fonte de alimentação ligado ao conector USB)

1.3 Jumpers



Jumper 1, J1: Este jumper seleciona a alimentação do banco 2 de pinos de Entradas/Saídas do CPLD, denominado na placa por V_B2. Este jumper foi projetado para que não seja possível curto-circuitar as fontes de alimentação erroneamente, permitindo apenas um jumper para a conexão com o pino V_B2.

Jumper J1 (pinos)	Função
1-3	Seleciona a tensão de 1,8V para V_B2
3-4	Seleciona a tensão de 2,5V para V_B2
3-5	Seleciona a tensão de 3,3V para V_B2

Jumpers J2-J8: Estes jumpers devem ser soldados ou não (conforme a tabela abaixo) no momento em que se escolhe o CPLD para o kit didático. Ele define a compatibilidade dos modelos citados anteriormente para este kit.

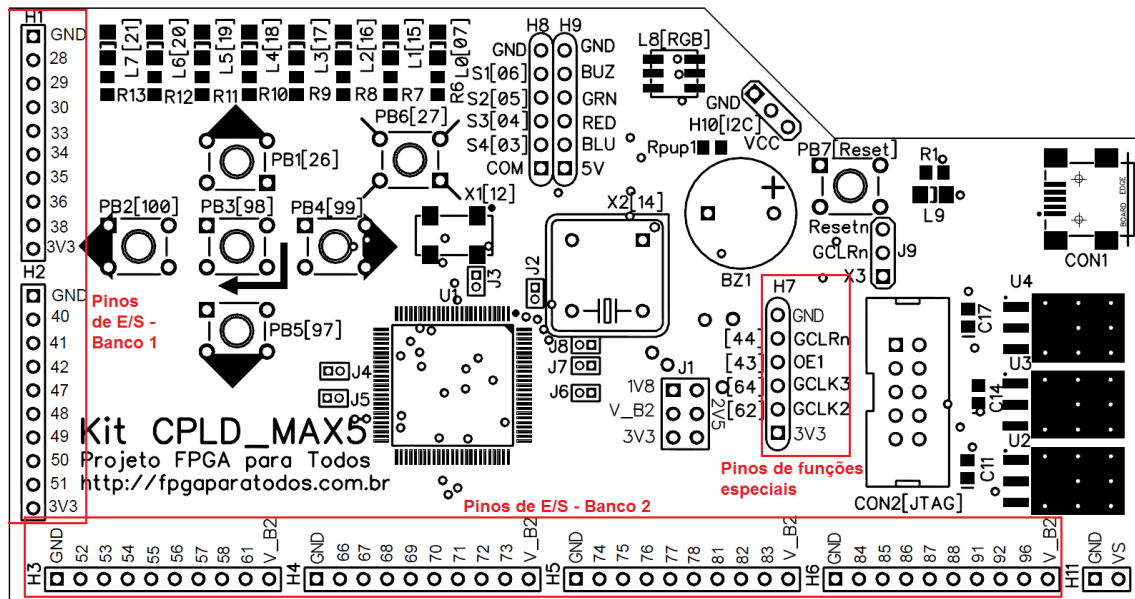
Jumper	5MxxxZ	5M570Z
J2	C	NC
J3	NC	C
J4	NC	C
J5	NC	C
J6	NC	C
J7	NC	C
J8	NC	C

Jumper 9, J9: Este jumper tem a funcionalidade de interligar o pino Global Clear (GCLRn – pino 44 no CPLD) ao push-button Reset para realizar o reset do CPLD, ou para interligar este pino ao header X3 para aplicações externas conforme a necessidade do usuário. A tabela abaixo mostra como deve ser ligado o jumper:

Jumper J9 (pinos)	Função
1-2	Interliga GCLRn ao header X3
2-3	Interliga GCLRn ao push-button PB1

1.4 Headers

Esta placa fornece seis conectores em barra 1x10 pinos (H1-H6) para dar acesso os pinos de Entradas/Saídas do CPLD MAXV e um conector em barra 1x6 pinos (H7) para dar acesso aos pinos de funções especiais, como mostra a figura abaixo. Os pinos de E/S dos bancos foram divididos no H1 e H2 para o banco 1 e nos H3 a H6 para o banco 2.



Nas tabelas abaixo seguem a descrição dos pinos desses conectores:

Pinos H1	Sinais
1	GND
2	IO_B1_PIN028
3	IO_B1_PIN029
4	IO_B1_PIN030
5	IO_B1_PIN033
6	IO_B1_PIN034
7	IO_B1_PIN035
8	IO_B1_PIN036
9	IO_B1_PIN038
10	VCC 3,3V

Pinos H2	Sinais
1	GND
2	IO_B1_PIN040
3	IO_B1_PIN041
4	IO_B1_PIN042
5	IO_B1_PIN047
6	IO_B1_PIN048
7	IO_B1_PIN049
8	IO_B1_PIN050

9	IO_B1_PIN051
10	VCC 3,3V

Pinos H3	Sinais
1	GND
2	IO_B2_PIN052
3	IO_B2_PIN053
4	IO_B2_PIN054
5	IO_B2_PIN055
6	IO_B2_PIN056
7	IO_B2_PIN057
8	IO_B2_PIN058
9	IO_B2_PIN061
10	VCC V_B2

Pinos H4	Sinais
1	GND
2	IO_B2_PIN066
3	IO_B2_PIN067
4	IO_B2_PIN068
5	IO_B2_PIN069
6	IO_B2_PIN070
7	IO_B2_PIN071
8	IO_B2_PIN072
9	IO_B2_PIN073
10	VCC V_B2

Pinos H5	Sinais
1	GND
2	IO_B2_PIN074
3	IO_B2_PIN075
4	IO_B2_PIN076
5	IO_B2_PIN077
6	IO_B2_PIN078
7	IO_B2_PIN081
8	IO_B2_PIN082
9	IO_B2_PIN083
10	VCC V_B2

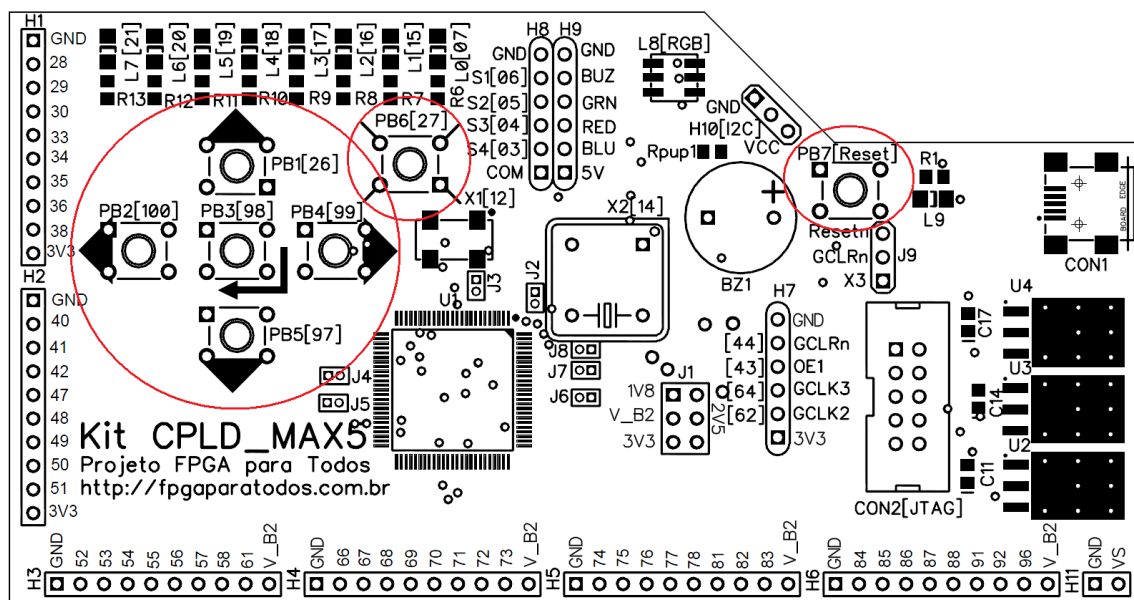
Pinos H6	Sinais
1	GND
2	IO_B2_PIN084
3	IO_B2_PIN085
4	IO_B2_PIN086
5	IO_B2_PIN087
6	IO_B2_PIN088
7	IO_B2_PIN091
8	IO_B2_PIN092
9	IO_B2_PIN096

10	VCC V_B2
----	----------

Pinos H7	Sinais
1	VCC 3,3V
2	IO_B2_GCLK2_PIN062
3	IO_B2_GCLK3_PIN064
4	IO_B2_OE1_PIN043
5	IO_B2_GCLRn_PIN044
6	GND

1.5 Push-buttons

A placa fornece seis botões do tipo push-buttons para uso geral em projetos didáticos e um botão especial ligado ao reset global do CPLD.

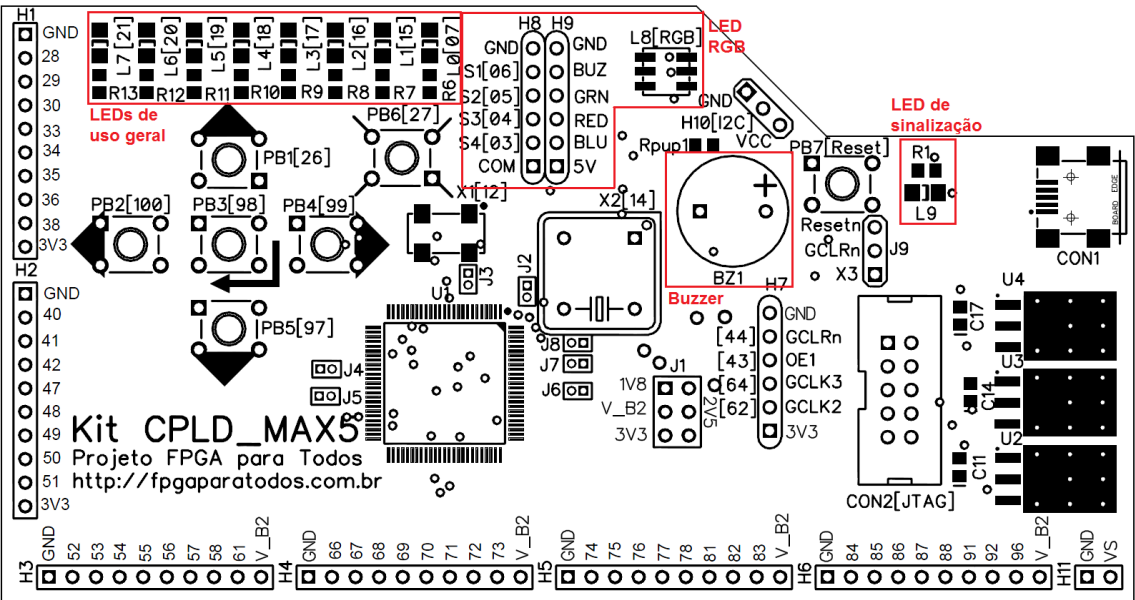


Botões de uso geral, PB1-PB6: Esses botões foram distribuídos na placa de forma que possa ser usados projetos de controle de menus ou direção. Entretanto, ele pode ser usado em qualquer aplicação. Eles estão associados aos pinos de E/S apresentados na tabela abaixo.

Botões	Sinais
PB1	Associado ao pino IO_B1_PIN026
PB2	Associado ao pino IO_B2_PIN100
PB3	Associado ao pino IO_B2_PIN098
PB4	Associado ao pino IO_B2_PIN099
PB5	Associado ao pino IO_B2_PIN097
PB6	Associado ao pino IO_B1_PIN027

Botão de reset global, PB7: Este botão está associado ao pino 44 (GCLRn) do CPLD quando o jumper 9 está configurado para isso.

1.6 LEDs e Buzzer

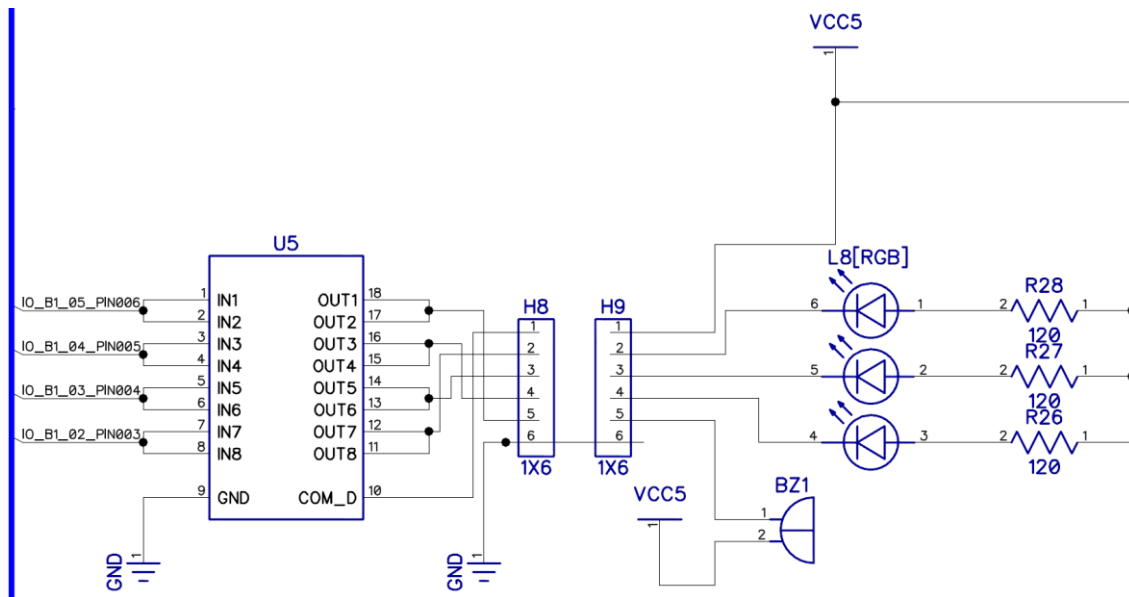


LED de sinalização, L9: Este é um LED que indica que o circuito está alimentado.

LED de uso geral, L0-L7: Estes LEDs podem ser usados em projetos do usuário. Eles estão associados aos pinos indicados na tabela abaixo.

LEDs	Sinais
L0	Associado ao pino IO_B1_PIN007
L1	Associado ao pino IO_B1_PIN015
L2	Associado ao pino IO_B1_PIN016
L3	Associado ao pino IO_B1_PIN017
L4	Associado ao pino IO_B1_PIN018
L5	Associado ao pino IO_B1_PIN019
L6	Associado ao pino IO_B1_PIN020
L7	Associado ao pino IO_B1_PIN021

LED RGB e Buzzer, L8 e BZ1: estes componentes estão interligados aos pinos de E/S através de um driver de corrente ULN2803. Eles devem ser habilitados pela conexão entre os pinos do conector H8 e H9, como mostra a figura. O diagrama esquemático na figura abaixo mostra a conexão desses componentes:

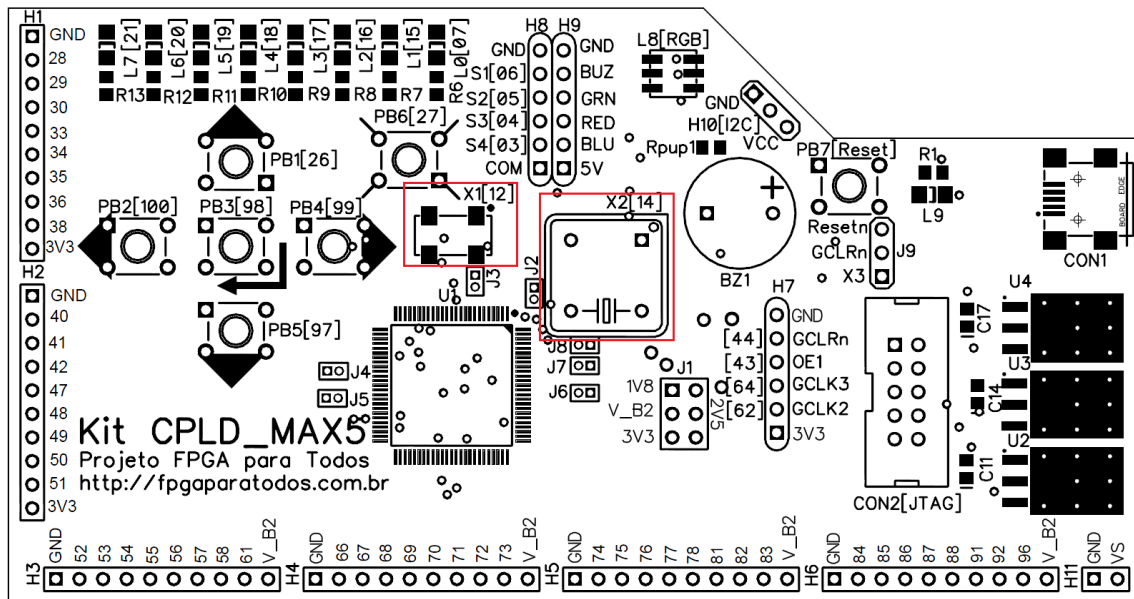


Conforme esquemático, o conector H8 está associado aos pinos do CPLD através do driver e o conector H9 está associado ao LED RGB e ao Buzzer. Eles devem ser jumpeados conforme a tabela abaixo:

Pinos H8	Sinais	Pinos H9	Componentes
1	Sinal COMUM do driver ULN2803	1	VCC da fonte de alimentação (conector microUSB)
2	Associado ao pino IO_B1_PIN003	2	Buzzer
3	Associado ao pino IO_B1_PIN004	3	LED red do RGB1
4	Associado ao pino IO_B1_PIN005	4	LED green do RGB1
5	Associado ao pino IO_B1_PIN006	5	LED blue do RGB1
6	GND	6	GND

1.7 Osciladores

Os CPLDs suportados nesta placa possuem quatro pinos especiais para sinal de *clock* global: GCLK0, GCLK1, GCLK2 e GCLK3. Os dois últimos estão disponíveis para o usuário no header H7, como apresentado no item 1.4.



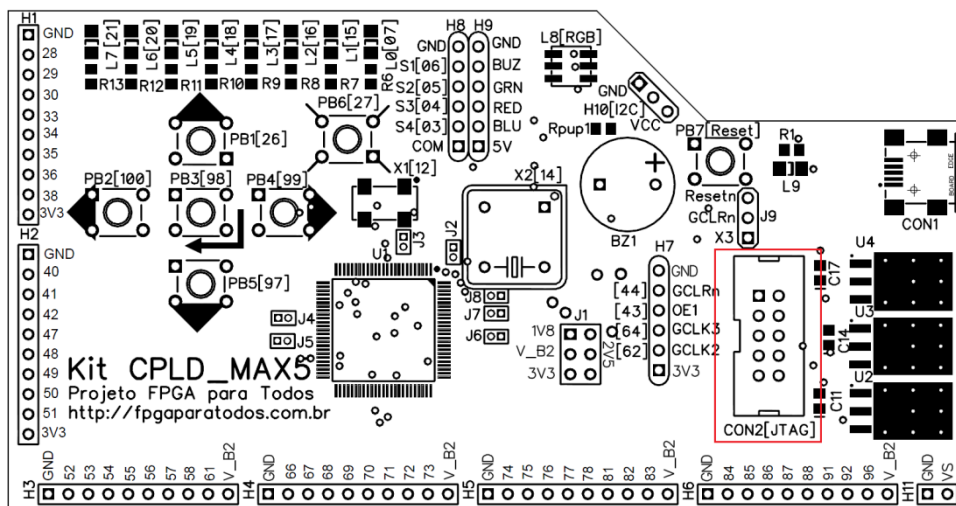
Cristal oscilador, X1: O GCLK0 é conectado diretamente ao cristal oscilador SMD X1, fornecido na placa.

Cristal oscilador, X2: O GCLK1 é conectado ao cristal oscilador do tipo through hole (PTH), que não é fornecido por esta placa. No lugar é soldado um conector do tipo DIP para esse cristal.

Referências	Sinais
X1	Associado ao pino IO_B1_GCLK0_PIN012
X2	Associado ao pino IO_B1_GCLK1_PIN014

1.8 Conector JTAG

Este conector é para programar o CPLD do módulo, utilizando um módulo de gravação JTAG, tais como, o USB Blaster da Altera ou o PLDProg do projeto “FPGA para Todos”.



Conector JTAG, CON2: Conector de programação do CPLD.

Pinos CON2	Função
1	TCK/DCLK
2	GND
3	TDO/CONF_DON
4	+VCCIO (+3,3V)
5	TMS/nCONFIG
6	NC
7	NC
8	NC
9	TDI/ASDI
10	GND